

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

JAE-BON KOO

Serial No.: *to be assigned*

Examiner: *to be assigned*

Filed: 27 January 2004

Art Unit: *to be assigned*

For: FLAT PANEL DISPLAY WITH ANODE ELECTRODE LAYER AS POWER
SUPPLY LAYER AND FABRICATION METHOD THEREOF

CLAIM OF PRIORITY
UNDER 35 U.S.C. §119

Mail Stop Patent Application

Commissioner for Patents

P.O.Box 1450

Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application, Korean Priority Nos. 2003-7288 (filed in Korea on 5 February 2003, and filed in the U.S. Patent and Trademark Office on 27 January 2004), is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,



Robert E. Bushnell

Reg. No.: 27,774

Attorney for the Applicant

Suite 300, 1522 "K" Street, N.W.
Washington, D.C. 20005
(202) 408-9040

Folio: P56937
Date: 27 January 2004
I.D.: REB/kf



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0007288
Application Number

출원 년 월 일 : 2003년 02월 05일
Date of Application FEB 05, 2003

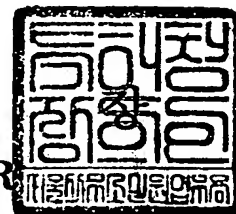
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 06 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.02.05
【발명의 명칭】 애노드전극층을 전원공급층으로 사용한 평판표시장치 및 그의 제조방법
【발명의 영문명칭】 Flat Panel Display with Anode electrode layer as Power Supply Layer and Fabrication Method thereof
【출원인】
【명칭】 삼성에스디아이 주식회사
【출원인코드】 1-1998-001805-8
【대리인】
【성명】 박상수
【대리인코드】 9-1998-000642-5
【포괄위임등록번호】 2000-055227-0
【발명자】
【성명의 국문표기】 구재본
【성명의 영문표기】 K00, JAE BON
【주민등록번호】 720706-1767718
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 풍림아파트 105동 504호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 10 항 429,000 원
【합계】 460,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 애노드전극층을 전원공급층으로 사용하여 게이트 및 데이터라인과 전원 공급라인간의 인라인쇼트 및 전원공급라인을 통한 전압강하를 방지할 수 있는 평판표시 장치 및 그의 제조방법에 관한 것이다.

본 발명의 평판표시장치는 절연기판상에 형성되고, 소오스/드레인 전극을 구비한 박막 트랜지스터와; 상기 박막 트랜지스터를 포함한 절연기판상에 형성되고, 상기 소오스/드레인 전극을 각각 노출시키는 제1 및 제2콘택홀을 구비하는 절연막과; 상기 절연막상에 형성되고, 상기 제1 및 제2콘택홀중 하나를 통해 상기 소오스/드레인 전극중 하나에 연결되는 애노드전극과; 상기 절연막상에 형성되고, 상기 제1 및 제2콘택홀중 다른 하나를 통해 상기 소오스/드레인 전극중 다른 하나에 연결되는 전원공급층을 구비한다.

【대표도】

도 2b

【명세서】

【발명의 명칭】

애노드전극층을 전원공급층으로 사용한 평판표시장치 및 그의 제조방법{Flat Panel Display with Anode electrode layer as Power Supply Layer and Fabrication Method thereof}

【도면의 간단한 설명】

도 1a는 종래의 유기전계 발광표시장치의 평면구조도,
 도 1b는 도 1a의 Ib-Ib'선에 따른 종래의 유기전계 발광표시장치의 단면구조도,
 도 2a는 본 발명의 실시예에 따른 유기전계 발광표시장치의 평면구조도,
 도 2b는 도 2a의 IIb-IIb'선에 따른 유기전계 발광표시장치의 단면구조도,
 도 3a 및 도 3b는 본 발명의 실시예에 따른 유기전계 발광표시장치의 애노드전극의 평면구조도,

도면의 주요 부분에 대한 부호의 설명

210, 220 : 게이트 및 데이터라인 230 : 전원공급라인

250, 270 : 박막 트랜지스터 252 : 반도체층

252a, 252b : 소오스/드레인 영역 253 : 게이트 절연막

254 : 게이트 256a, 256b : 소오스/드레인 영역

257 : 보호막 258, 259 : 비어홀

261 : 애노드전극 262 : 유기발광층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 평판표시장치에 관한 것으로서, 더욱 상세하게는 애노드전극층을 전원공급층으로 사용하여 인라인쇼트 및 전압강하를 방지할 수 있는 유기전계 발광표시장치 및 그의 제조방법에 관한 것이다.
- <14> 통상적으로, 액티브 매트릭스 유기전계 발광표시장치는 각 단위화소가 기본적으로 스위칭 트랜지스터, 구동 트랜지스터 및 캐패시터 그리고 EL소자를 구비하며, 상기 구동 트랜지스터 및 캐패시터에는 전원공급라인으로부터 공통전원(Vdd)이 제공된다. 전원공급라인은 구동 트랜지스터를 통해 EL소자로 흐르는 전류를 제어하는 역할을 하므로, 균일한 휘도를 얻기 위해서는 매트릭스 형태로 배열된 수많은 화소에 균일하게 공통전원이 제공되어야 한다.
- <15> 액티브 매트릭스 유기전계 발광표시장치는 게이트라인 및 게이트전극, 데이터 라인, 소오스/드레인 전극 및 전원공급층 및 애노드전극 등을 형성하기 위하여 다수의 도전층이 사용되는데, 이러한 도전층간에는 게이트 절연막, 층간 절연막과 보호막 등과 같은 절연층을 개재되어 전기적으로 절연시키는 주어야 한다.
- <16> 도 1a는 종래의 액티브 매트릭스 유기전계 발광표시장치의 평면구조를 도시한 것이다.
- <17> 도 1a를 참조하면, 종래의 액티브 매트릭스 유기전계 발광표시장치는 다수의 게이트라인(110), 다수의 데이터라인(120) 및 다수의 전원공급라인(130) 그리고 상기 게이트

라인(110), 데이터라인(120) 및 전원공급라인(130)에 연결구성되는 다수의 화소를 구비한다.

- <18> 상기 각 화소는 다수의 게이트라인(110)중 해당하는 하나의 게이트라인과 다수의 데이터라인(120)중 해당하는 하나의 데이터라인에 연결되는 스위칭 트랜지스터(170)와, 상기 전원공급라인(130)에 연결되는 EL(160) 구동용 구동 트랜지스터(150)와, 상기 구동 트랜지스터(150)의 게이트-소오스간 전압을 유지시켜 주기위한 캐패시터(140)의 2트랜지스터 1캐패시터로 이루어진다.
- <19> 도 1b는 도 1a의 Ib-Ib 선에 따른 단면구조를 도시한 것이다. 도 1b는 하나의 단위 화소에 대한 단면구조로서, 구동용 박막 트랜지스터(150), 캐패시터(140) 및 EL소자(160)에 국한하여 도시한다.
- <20> 도 1b를 참조하면, 절연기판(100)상에 버퍼층(151)이 형성되고, 상기 버퍼층(151) 상부에 캐패시터(140), 박막 트랜지스터(150) 및 EL소자(160)가 형성된다. 상기 캐패시터(140)는 게이트 절연막(153)상에 형성된 하부전극(144) 및 층간 절연막(155)상에 형성된 상부전극(146)으로 이루어진다.
- <21> 상기 박막 트랜지스터(150)는 버퍼층(151)상의 반도체층(152)에 형성된 소오스/드레인 영역(152a), (152b)과, 상기 게이트 절연막(153)상에 형성된 게이트전극(154)과, 콘택홀(155a), (155b)을 통해 상기 소오스/드레인 영역(152a), (152b)과 각각 연결되도록 상기 층간 절연막(155)상에 형성된 소오스/드레인 전극(156a), (156b)으로 이루어진다.

- <22> 상기 EL소자(160)는 보호막(157)상에 형성된 애노드 전극(161)과, 개구부(165)내의 애노드전극(161)에 형성된 유기 발광층(163)과, 상기 개구부(165)를 포함한 평탄화막(162)상에 형성된 캐소드전극(164)으로 이루어진다.
- <23> 종래의 액티브 매트릭스 유기전계 발광표시장치에서, 전원공급라인(130)은 캐패시터(140)의 상부전극(146)과 박막 트랜지스터(150)의 소오스/드레인 전극(156a), (156b) 중 하나, 예를 들면 소오스전극(156a)에 연결되어 박막 트랜지스터(150)를 통해 EL소자(160)의 애노드전극(161)으로 흐르는 전류를 제어하는 역할을 하는 것으로서, 다수의 화소 각각에 전원전압(Vdd)을 공통적으로 인가하게 된다.
- <24> 그러나, 상기 전원공급라인(130)을 통한 전압강하(IR drop)에 의해 각 화소마다 인가되는 전원전압(Vdd)의 전압차가 발생하게 되어 휘도불균일을 초래할 뿐만 아니라 전원공급라인의 형성위치, 전원공급라인의 선폭 및 외부전원과 연결되는 패드의 위치와 개수 등이 박막 트랜지스터의 설계 및 제조공정에 영향을 미치는 문제점이 있었다.
- <25> 또한, 종래에는 도 1a 또는 도 1b에 도시된 바와같이 전원공급라인(130)이 데이터라인(120)과 함께 층간 절연막(155)상에 서로 전기적으로 분리되도록 형성되거나 또는 게이트라인(110)과 함께 게이트 절연막(153)상에 서로 전기적으로 분리되도록 형성되어진다. 그러므로, 동일층 상에 2개의 서로 다른 신호선이 형성되므로, 서로 인접하게 배열되는 신호선간의 인라인 쇼트(180)와 같은 라인 결함을 유발하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <26> 따라서, 본 발명은 상기한 바와같은 종래기술의 문제점을 해결하기 위한 것으로서, 전원공급라인과 게이트라인 또는 데이터라인과 같은 신호선과의 인라인 쇼트와 같은 라

인결합을 방지할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<27> 본 발명의 다른 목적은 전원공급라인을 통한 전압강하를 방지하여 균일한 휘도를 얻을 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 있다.

<28> 본 발명의 또 다른 목적은 EL 소자의 발광효율을 향상시킬 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<29> 상기한 바와 같은 목적을 달성하기 위하여, 절연기판상에 형성되고, 소오스/드레인 전극을 구비한 박막 트랜지스터와; 상기 박막 트랜지스터를 포함한 절연기판상에 형성되고, 상기 소오스/드레인 전극을 각각 노출시키는 제1 및 제2콘택홀을 구비하는 절연막과; 상기 절연막상에 형성되고, 상기 제1 및 제2콘택홀중 하나를 통해 상기 소오스/드레인 전극중 하나에 연결되는 애노드전극과; 상기 절연막상에 형성되고, 상기 제1 및 제2콘택홀중 다른 하나를 통해 상기 소오스/드레인 전극중 다른 하나에 연결되는 전원공급층을 구비하는 평판표시장치를 제공하는 것을 특징으로 한다.

<30> 또한, 본 발명은 다수의 화소영역으로 구분되고, 각 화소영역마다 각각 배열되는 다수의 박막 트랜지스터를 구비하는 절연기판과; 기판전면에 형성된 절연막과; 상기 절연막상에 형성되고, 상기 각 화소영역마다 배열된 박막 트랜지스터에 연결되는 다수의 화소전극과; 상기 다수의 화소전극과 전기적으로 분리되도록 상기 절연막상에 형성되어 상기 다수의 박막 트랜지스터에 공통전원을 인가하는 전원공급층을 구비하는 평판표시장치를 제공하는 것을 특징으로 한다.

- <31> 본 발명의 실시예에서, 상기 전원공급층은 그리드형태를 갖으며, 각 그리드내에 화소전극이 배열되거나; 또는 상기 전원공급층은 열방향 또는 행방향으로 배열된 화소전극들 사이에 배열되는 라인형태를 갖는다.
- <32> 또한, 본 발명은 절연기판상에 소오스/드레인 전극을 구비한 박막 트랜지스터를 형성하는 단계와; 기판전면에 절연막을 형성하는 단계와; 상기 절연막을 식각하여 상기 박막 트랜지스터의 소오스/드레인 전극을 각각 노출시키는 제1 및 제2콘택홀을 형성하는 단계와; 기판전면에 애노드전극물질을 증착하는 단계와; 상기 애노드전극물질을 식각하여 상기 제1 및 제2콘택홀중 하나를 통해 상기 소오스/드레인 전극중 하나에 연결되는 애노드전극과 상기 제1 및 제2콘택홀중 다른 하나를 통해 상기 소오스/드레인 전극중 다른 하나에 연결되는 전원공급층을 형성하는 단계를 포함하는 평판표시장치의 제조방법을 제공하는 것을 특징으로 한다.
- <33> 본 발명의 실시예에서, 상기 애노드전극물질은 일함수가 4.5이상인 물질로 이루어지고, 바람직하게는 저저항의 반사율이 높은 물질로 이루어진다. 상기 애노드 전극물질은 Au, Pt, Ni, Cr 등과 같은 단일막 또는 Ni/Al/Ni, Ag/ITO, Al/ITO 등과 같은 적층막으로 이루어진다.
- <34> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.
- <35> 도 2a는 본 발명의 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치의 평면 구조를 도시한 것이고, 도 2b는 단면구조를 도시한 것이다. 도 2b는 도 2a의 IIb-IIb선에 따른 액티브 매트릭스 유기전계 발광표시장치의 단면구조로서, 단위화소중 구동용 박막 트랜지스터, EL소자 및 캐패시터에 한정하여 도시한 것이다.

- <36> 도 2a 및 도 2b를 참조하면, 본 발명의 액티브 매트릭스 유기전계 발광표시장치는 절연기판(200)상에 형성된 다수의 게이트라인(210), 상기 게이트라인(210)과 교차하도록 상기 절연기판(200)상에 형성된 다수의 데이터라인(220), 공통전원을 공급하기 위한 전원공급라인(230) 및 상기 신호라인(210), (220)과 전원공급층(230)에 연결되는 다수의 화소들을 구비한다.
- <37> 각 화소는 상기 게이트라인(210) 및 데이터라인(220)에 연결되는 스위칭용 박막 트랜지스터(270)와, 비어홀(259)을 통해 전원공급라인(230)에 연결되는 캐패시터(240)와, 상기 비어홀(259)을 통해 전원공급라인(230)에 연결되는 구동용 박막 트랜지스터(250) 및 EL소자(260)를 구비한다.
- <38> 이때, 상기 게이트라인(210)과 데이터라인(220)은 두 라인(210), (220)사이에 층간 절연막(255)으로 된 절연층을 개재하여 전기적으로 서로 분리된다. 상기 전원공급라인(230)은 보호막(257)으로 된 절연층을 개재하여 전기적으로 서로 분리된다.
- <39> 상기한 바와같은 구조를 갖는 본 발명의 액티브 매트릭스 유기전계 발광표시장치의 제조방법을 설명하면 다음과 같다.
- <40> 절연기판(200)상에 버퍼층(251)이 형성되고, 상기 버퍼층(251)상에 비정질 실리콘막을 증착한 다음 엑시머 레이저 어닐링공정(ELA)을 수행하여 폴리실리콘막으로 결정화하며, 상기 결정화된 폴리실리콘막을 섬형태로 패터닝하여 반도체층(252)을 형성한다.
- <41> 상기 반도체층(252)을 포함한 버퍼층(251)상에 게이트 절연막(253)을 형성하고, 상기 게이트 절연막(253)상에 게이트 전극물질을 증착한 다음 패터닝하여 게이트 전극(254)을 형성하고, 이와 동시에 게이트 라인(210)과 캐패시터(240)의 하부전극(244)을

형성한다. 게이트전극(244)을 형성한 다음 소정도전형을 갖는 불순물, 예를 들어 p형 불순물을 상기 반도체층(252)으로 이온주입하여 소오스/드레인 영역(252a), (252b)을 형성한다.

<42> 기판 전면에서 걸쳐 층간 절연막(255)을 증착한 다음 패터닝하여 상기 소오스/드레인 영역(252a), (252b)을 각각 노출시키는 콘택홀(255a), (255b)을 형성한다. 이어서, 상기 콘택홀(255a), (255b)을 포함한 상기 층간 절연막(255)상에 소오스/드레인 전극물질을 증착한 다음 패터닝하여 상기 콘택홀(255a), (255b)을 통해 상기 소오스/드레인 영역(252a), (252b)과 전기적으로 연결되는 소오스/드레인 전극(256a), (256b)을 형성함과 동시에 상기 하부전극(244)과 오버랩되는 캐패시터(240)의 상부전극(246)과 데이터라인(220)을 형성한다. 이로써, 구동용 박막 트랜지스터(250)와 캐패시터(240)가 형성된다. 도 1b에 도시되지는 않았으나, 상기 구동용 박막 트랜지스터(250)의 제조공정 중에 상기 스위칭 트랜지스터(270)가 동시에 형성되어진다.

<43> 기판전면에 보호막(257)을 증착한 다음 패터닝하여 상기 소오스/드레인 전극(256a), (256b)중 하나, 예를 들면 드레인 전극(256b)을 노출시키는 비어홀(258)을 형성함과 동시에 다른 하나, 예를 들면 소오스전극(256a)을 노출시키는 비어홀(259)을 형성한다.

<44> 이어서, 상기 비어홀(258), (259)을 포함한 상기 보호막(257)상에 애노드전극물질을 증착한 다음 패터닝하여 상기 비어홀(258)을 통해 상기 박막 트랜지스터의 드레인전극(256b)과 연결되는 섬형태의 애노드전극(261)을 형성함과 동시에 상기 비어홀(259)을 통해 상기 박막 트랜지스터(250)의 소오스전극(256a) 및 캐패시터(240)의 상부전극(246)에 연결되는 전원공급라인(230)을 형성한다.

- <45> 상기 애노드전극(261) 및 전원공급라인(230)은 후속공정에서 형성되는 캐소드용 전극물질보다 일함수가 큰 도전성 물질로 이루어지며, 바람직하게는 일함수가 4.5 이상인 도전성물질로 이루어진다. 애노드전극(261)과 전원공급라인(230)이 동일물질로 이루어지므로, 애노드전극(261) 및 전원공급라인(230)용 도전성물질로는 전원공급라인(230)의 전압강하를 최소화하기 위해 비저항이 낮으며 후속공정에서 형성되는 EL발광층의 반사율을 증대시키기 위해 반사율이 우수한 물질을 사용하는 것이 바람직하다.
- <46> 예를 들어, 상기 애노드전극(261) 및 전원공급라인(230)용 도전성물질로는 Au, Pt, Ni, Cr 등과 같은 단일막, Ni/Al/Ni, Ag/ITO, Al/ITO 등과 같은 적층막이 사용된다.
- <47> 상기한 바와같이, 전원공급라인(230)을 상기 애노드전극(261)을 형성하는 공정에서 동시에 형성하여 줌으로써, 추가의 공정없이 전원공급라인(230)의 전압강하문제 및 게이트라인 및 데이터라인과 전원공급라인간의 인라인쇼트문제를 해결할 수 있다.
- <48> 통상적인 배면발광구조의 유기전계 발광표시장치에서는 애노드전극으로 투명전극이 사용되어야 하므로 금속 도전물질에 비하여 저항이 큰 ITO 또는 IZO와 같은 투명도전물질을 사용할 수 밖에 없었다. 그러므로, 저항이 높은 투명도전물질을 애노드전극과 전원공급라인으로 동시에 사용하는 것은 불가능하였다. 하지만, 발명에서는 전면발광구조를 채택하여 애노드전극(261)으로 투명전극을 사용하지 않아도 되므로, 저저항의 큰 일함수를 갖는 물질을 이용하여 애노드전극(261)과 전원공급라인(230)을 형성하여 줌으로써, 종래와 같은 게이트라인 또는 데이터라인과 전원공급라인간의 인라인 쇼트는 방지된다.
- <49> 도 3a 와 도 3b는 본 발명의 실시예에 따른 애노드전극(261)과 전원공급라인(230)의 평면구조를 도시한 것이다.

- <50> 도 3a에서는, 전원공급라인(230)이 그리드형태를 갖으며, 전원공급라인(230)의 각 그리드내에 애노드전극(261)이 섬형태를 갖도록 형성된다. 이때, 전원공급라인(230)이 그리드 형태를 갖는 경우에는 전원전압(Vdd)이 4방향(화살표 표시)에서 인가되므로, 전원공급라인(230)을 통한 전압강하를 보다 감소시킬 수 있다.
- <51> 도 3b에서는, 섬형태의 애노드전극(261)이 열과 행의 매트릭스형태로 배열되고, 열방향으로 배열된 이웃하는 애노드전극(261)사이에 라인형태의 전원공급라인(230)이 배열된다. 이때, 전원공급라인(230)은 도 3a과 같이 열방향으로 배열된 이웃하는 애노드전극(261)사이에 전원공급라인(230)이 배열될 수도 있지만, 도 2a와 같이 행방향으로 배열된 이웃하는 애노드전극(261)사이에 전원공급라인(230)이 배열될 수도 있다.
- <52> 본 발명의 실시예에서는 게이트라인(210) 및 데이터라인(220)과는 다른 절연층, 예를 들어 보호막(557)상에 전원공급라인(230)이 형성되어 게이트라인 및 데이터라인간의 쇼트문제가 배제되므로, 개구율에 영향을 미치지 않는 범위내에서 어떠한 구조를 채택하여도 관계없다. 따라서, 상기 전원공급라인(230)은 도 3a 및 도 3b의 그리드 형태 및 라인형태 뿐만 아니라 애노드전극(261)과 전기적으로 분리되어 비어홀(559)을 통해 캐패시터(240)의 상부전극(246) 및 박막 트랜지스터(260)의 소오스/드레인 전극(256a), (256b) 중 하나의 전극, 예를 들어 소오스전극(256a)에 연결되는 전면전극형태로도 형성가능하다.
- <53> 이어서, 상기 애노드전극(261) 및 전원공급라인(230)을 포함한 보호막(557)상에 평탄화막(262)을 형성하고, 상기 애노드전극(261)이 노출되도록 상기 평탄화막(262)을 식각하여 개구부(265)를 형성한다. 이어서, 상기 개구부(265)의 애노드전극(261)상에 유기발광층(263)을 형성한 다음 기판전면에 캐소드전극(264)을 형성한다.

【발명의 효과】

<54> 상기한 바와같은 본 발명의 실시예에 따르면, 저항이 낮고 반사율이 높은 물질을 사용하여 애노드전극과 전원공급라인을 동시에 형성하여 줌으로써, 추가공정없이 전원공급라인의 전압강하를 감소시키고, 데이터라인 및 게이트라인과 전원공급라인간의 인라인 쇼트를 방지할 수 있을 뿐만 아니라 EL 소자의 발광효율을 향상시킬 수 있다. 또한, 전원공급라인을 그리드형태로 형성하여 전원공급라인의 전압강하는 보다 더 감소시킬 수 있는 이점이 있다.

<55> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

절연기판상에 형성되고, 소오스/드레인 전극을 구비한 박막 트랜지스터와;

상기 박막 트랜지스터를 포함한 절연기판상에 형성되고, 상기 소오스/드레인 전극을 각각 노출시키는 제1 및 제2콘택홀을 구비하는 절연막과;

상기 절연막상에 형성되고, 상기 제1 및 제2콘택홀중 하나를 통해 상기 소오스/드레인 전극중 하나에 연결되는 애노드전극과;

상기 절연막상에 형성되고, 상기 제1 및 제2콘택홀중 다른 하나를 통해 상기 소오스/드레인 전극중 다른 하나에 연결되는 전원공급층을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 2】

제 1 항에 있어서, 상기 전원공급층과 애노드전극은 동일물질로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 3】

제 2 항에 있어서, 상기 전원공급층과 애노드전극은 저저항의 높은 반사율을 갖는 물질인 것을 특징으로 하는 평판표시장치.

【청구항 4】

다수의 화소영역으로 구분되고, 각 화소영역마다 각각 배열되는 다수의 박막 트랜지스터를 구비하는 절연기판과;

기판전면에 형성된 절연막과;

상기 절연막상에 형성되고, 상기 각 화소영역마다 배열된 박막 트랜지스터에 연결되는 다수의 화소전극과;

상기 다수의 화소전극과 전기적으로 분리되도록 상기 절연막상에 형성되어 상기 다수의 박막 트랜지스터에 공통전원을 인가하는 전원공급층을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 5】

제 4 항에 있어서, 상기 전원공급층은 그리드형태를 갖으며, 각 그리드내에 화소전극이 배열되는 것을 특징으로 하는 평판표시장치.

【청구항 6】

제 4 항에 있어서, 상기 전원공급층은 열방향 또는 행방향으로 배열된 화소전극들 사이에 배열되는 라인형태를 갖는 것을 특징으로 하는 평판표시장치.

【청구항 7】

절연기판상에 소오스/드레인 전극을 구비한 박막 트랜지스터를 형성하는 단계와;

기판전면에 절연막을 형성하는 단계와;

상기 절연막을 식각하여 상기 박막 트랜지스터의 소오스/드레인 전극을 각각 노출시키는 제1 및 제2콘택홀을 형성하는 단계와;

기판전면에 애노드전극물질을 증착하는 단계와;

상기 애노드전극물질을 식각하여 상기 제1 및 제2콘택홀중 하나를 통해 상기 소오스/드레인 전극중 하나에 연결되는 애노드전극과 상기 제1 및 제2콘택홀중 다

른 하나를 통해 상기 소오스/드레인 전극중 다른 하나에 연결되는 전원공급층을 형성하는 단계를 포함하는 것을 특징으로 하는 평판표시장치의 제조방법.

【청구항 8】

제 7 항에 있어서, 상기 애노드전극물질은 일함수가 4.5이상인 물질로 이루어지는 것을 특징으로 하는 평판표시장치의 제조방법.

【청구항 9】

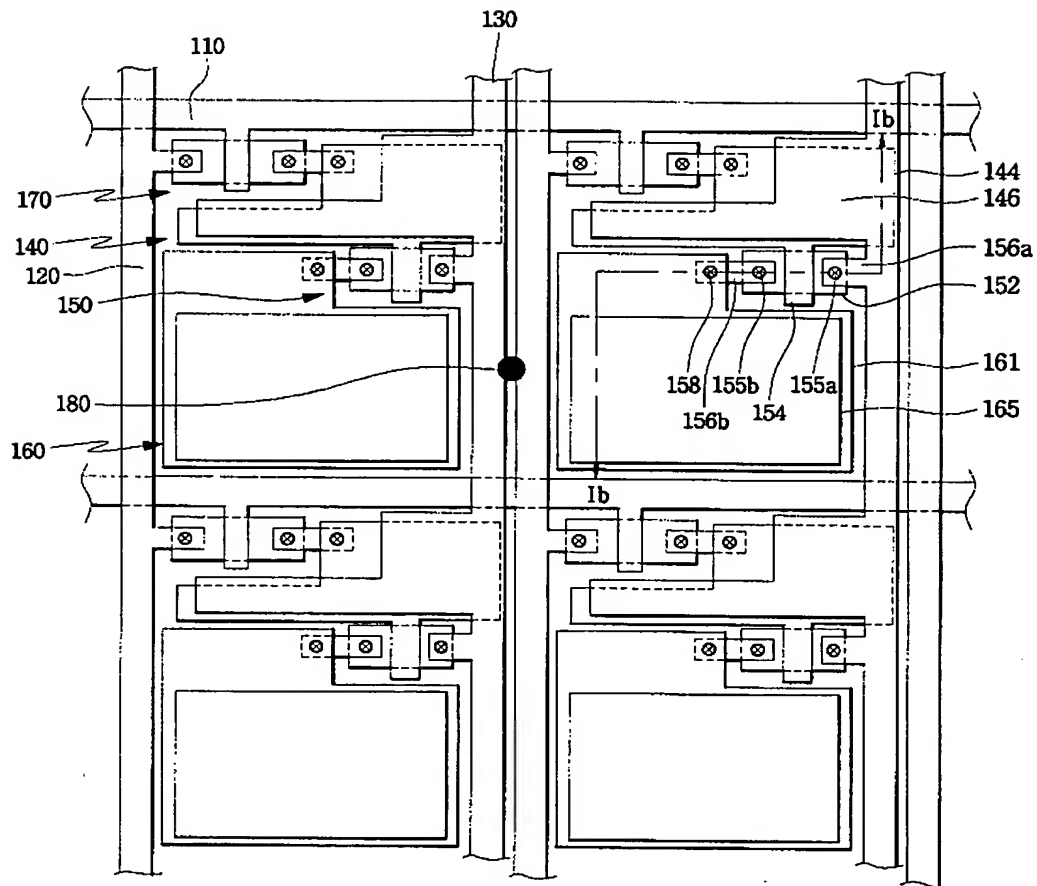
제 8 항에 있어서, 상기 애노드전극물질은 저저항의 반사율이 높은 물질로 이루어지는 것을 특징으로 하는 평판표시장치의 제조방법.

【청구항 10】

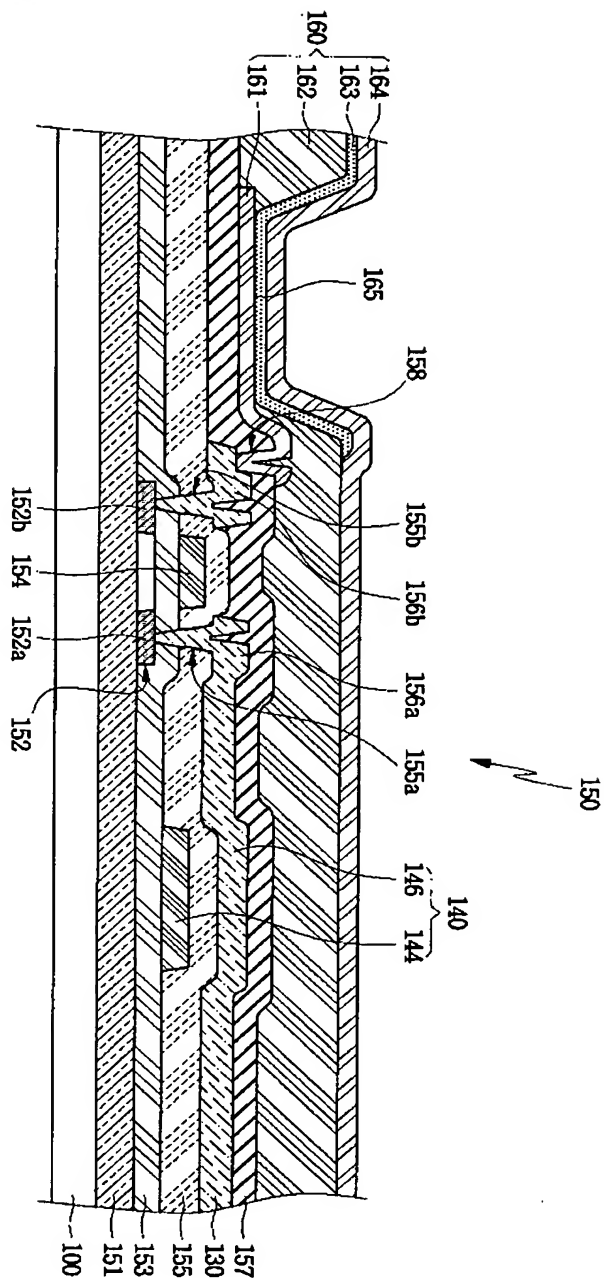
제 8 항에 있어서, 상기 애노드 전극물질은 Au, Pt, Ni, Cr 등과 같은 단일막 또는 Ni/Al/Ni, Ag/ITO, Al/ITO 등과 같은 적층막으로 이루어지는 것을 특징으로 하는 평판표시장치의 제조방법.

【도면】

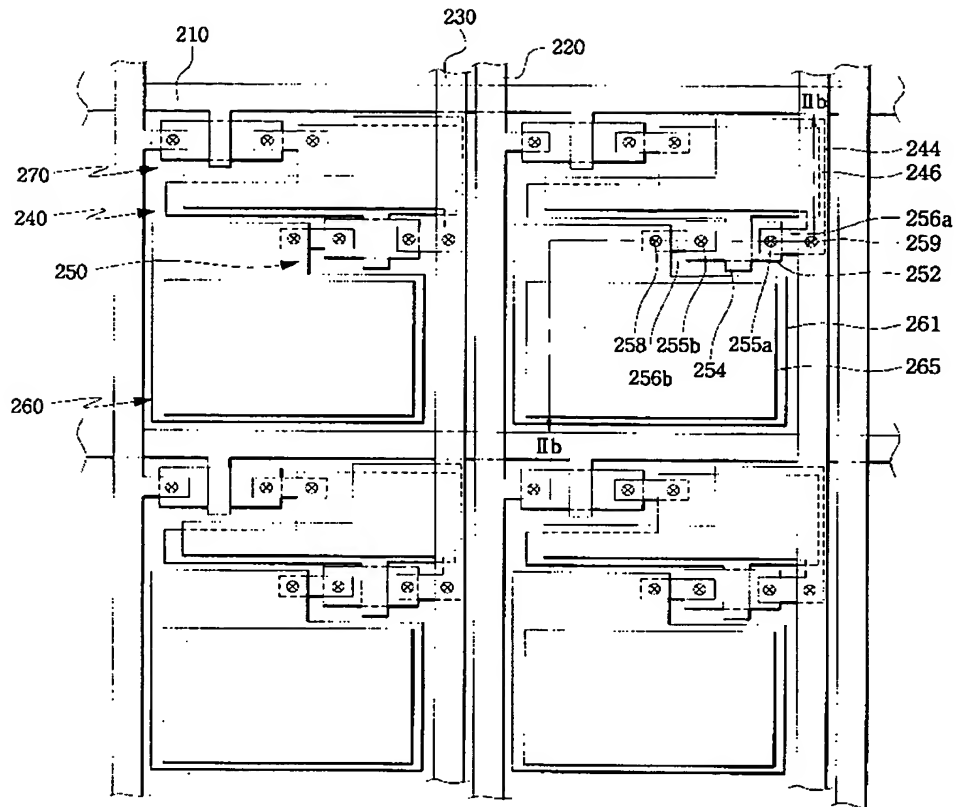
【도 1a】

100

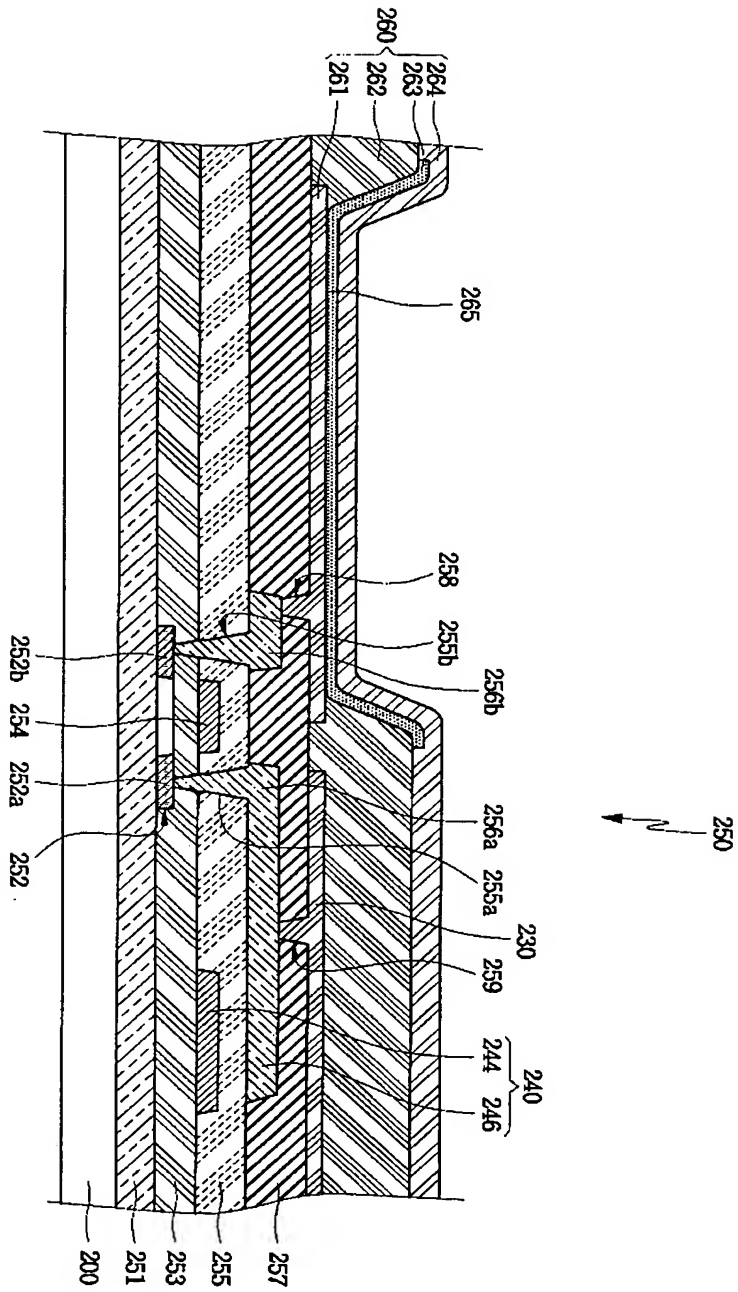
【도 1b】



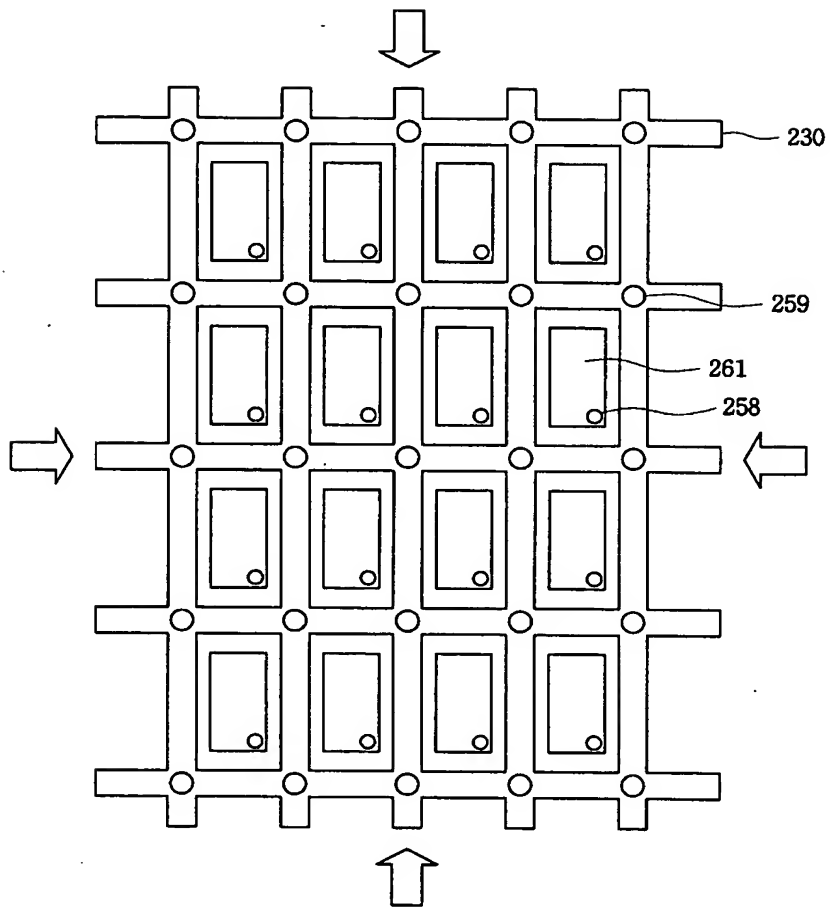
【도 2a】

200

【도 2b】



【도 3a】



【도 3b】

